

PAT-NO: JP02003008407A

DOCUMENT-IDENTIFIER: JP 2003008407 A

TITLE: COMPARATOR WITH OFFSET COMPENSATION FUNCTION AND DIGITAL
/ANALOG CONVERTER WITH OFFSET COMPENSATION FUNCTION

PUBN-DATE: January 10, 2003

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|--------------|---------|
| MORI, KOICHI | N/A |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|--------------------------------|---------|
| MATSUSHITA ELECTRIC IND CO LTD | N/A |

APPL-NO: JP2001190149

APPL-DATE: June 22, 2001

INT-CL (IPC): H03K005/08, H03M001/10

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a comparator with an offset cancellation function and a simplified configuration.

SOLUTION: The comparator is provided with transistors (TRs) N1, N2 forming a differential pair, current mirror loads (P1, P2), an output stage TR P3, and a path for feeding back an output of the TR P3 as a base bias of the TR N1. The comparator applies negative feedback control to the output of the TR P3 so as to balance currents respectively flowing through the TRs N1, N2 by utilizing the base bias effect.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-8407

(P2003-8407A)

(43) 公開日 平成15年1月10日 (2003.1.10)

| (51) Int.Cl. ⁷ | 識別記号 | F I | ターミナル* (参考) |
|---------------------------|------|--------------|-------------|
| H 0 3 K 5/08 | | H 0 3 K 5/08 | E 5 J 0 2 2 |
| H 0 3 M 1/10 | | H 0 3 M 1/10 | B 5 J 0 3 9 |

審査請求 有 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2001-190149(P2001-190149)

(22) 出願日 平成13年6月22日 (2001.6.22)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森 宏一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100105050

弁理士 鷲田 公一

Fターム(参考) 5J022 AB01 AB02 BA03 CA07 CB04

CB06 CE01 CE05 CE08 CF01

CF02 CG01

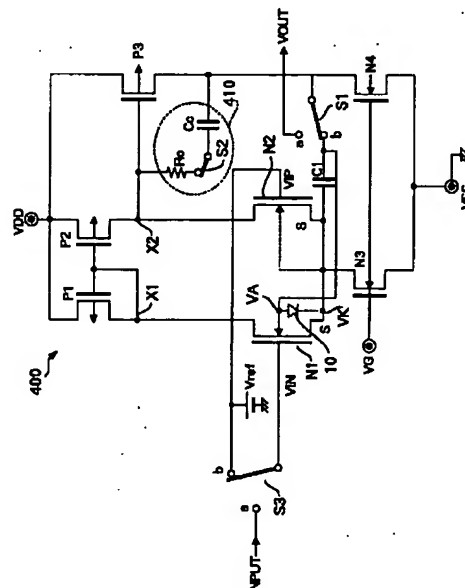
5J039 DA05 DC05

(54) 【発明の名称】 オフセット補償機能付きコンパレータおよびオフセット補償機能付きD/A変換装置

(57) 【要約】

【課題】 オフセットキャンセル機能をもつ、構成が簡素化されたコンパレータを提供すること。

【解決手段】 差動対をなすトランジスタN1、N2と、カレントミラー負荷(P1、P2)と、出力段トランジスタP3と、トランジスタP3の出力を、トランジスタN1の基板バイアスとして帰還させる経路と、を設ける。基板バイアス効果を利用して、トランジスタN1、N2のそれぞれを流れる電流をバランスさせるように、負帰還制御を行う。



【特許請求の範囲】

【請求項1】 通常動作モードとオフセットキャンセルモードとを切り換えることができる、半導体基板に集積されたコンパレータであって、

差動対をなすトランジスタと、

前記オフセットキャンセルモードのときにのみ、前記差動対をなすトランジスタのゲート電位を同じにするための回路と、

この差動対をなすトランジスタの負荷として動作するカレントミラーと、

このカレントミラーのシングルエンド出力を受ける第1のトランジスタと、この第1のトランジスタとは逆の導電型である第2のトランジスタとを含む出力段回路と、前記オフセットキャンセルモードのときにのみ、前記第1のトランジスタのゲートとドレインの間に接続される位相調整回路と、

前記オフセットキャンセルモードのときにのみ、前記出力段回路の出力端の電圧を、前記差動対をなすトランジスタのうちの、入力信号を受けるトランジスタの基板に与えるための経路と、

この経路を介して前記入力信号を受けるトランジスタの基板に与えられる電圧を、前記オフセットキャンセルモードが解除された後も保持する容量素子と、

を有することを特徴とするオフセット補償機能付きコンパレータ。

【請求項2】 請求項1において、

前記差動対をなすトランジスタの電流能力にあらかじめオフセットが与えられていることを特徴とするオフセット補償機能付きコンパレータ。

【請求項3】 D/A変換器と、このD/A変換器の出力電圧を基準電圧と比較する、請求項1記載のオフセットキャンセル機能付きコンパレータと、このコンパレータの出力に基づき、前記D/A変換器の入力と出力のオフセットを補償するオフセット補償回路と、を有することを特徴とするオフセット補償機能付きD/A変換装置。

【請求項4】 シングル入力/差動出力タイプのD/A変換器と、このD/A変換器の差動出力をシングル出力に変換する差動/シングル変換回路と、この差動/シングル変換回路の出力電圧を基準電圧と比較する、請求項1記載のオフセットキャンセル機能付きコンパレータと、このコンパレータの出力に基づき、前記D/A変換器の入力と出力のオフセットを補償するオフセット補償回路と、を有することを特徴とするオフセット補償機能付きD/A変換装置。

【請求項5】 請求項4において、負帰還制御ループの追従能力を可変としたことを特徴とするD/A変換装置。

【請求項6】 シングル入力/差動出力タイプのD/A変換器と、このD/A変換器の差動出力の各々を入力と

するスイッチドキャパシタフィルタと、このスイッチドキャパシタフィルタから出力される差動出力をシングル出力に変換する差動/シングル変換回路と、この差動/シングル変換回路の出力電圧を基準電圧と比較する、請求項1記載のオフセットキャンセル機能付きコンパレータと、このコンパレータの出力に基づき、前記D/A変換器の入力と出力のオフセットを補償するオフセット補償回路と、を有することを特徴とするオフセット補償機能付きD/A変換装置。

10 【請求項7】 請求項3～請求項6のいずれかに記載のD/A変換装置を、無線送信号の同相成分および直交成分のデータをアナログ信号に変換するD/A変換器として使用することを特徴とする無線送信機。

【請求項8】 請求項3～請求項6のいずれかに記載のD/A変換装置における前記D/A変換器の入出力オフセットを補償する方法であって、

前記コンパレータをオフセットキャンセルモードに切り換え、負帰還制御により、前記差動対をなすトランジスタのうちのいずれかのトランジスタの基板バイアスを制御することにより、前記コンパレータのオフセットをキャンセルするステップと、

20 前記コンパレータを、通常動作モードに戻すステップと、

前記コンパレータに内蔵されている前記容量素子により、前記オフセットキャンセル用のバイアス電圧が保持されている期間内に、前記D/A変換装置において、前記D/A変換器の入出力オフセットキャンセルのための負帰還制御を完了させるステップと、を含むことを特徴とする、D/A変換器の入出力オフセット補償方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オフセット補償機能付きコンパレータおよびオフセット補償機能付きD/A変換装置に関する。

【0002】

【従来の技術】CDMA送信機では、QPSK変調されたI（正相）、Q（直交）各々の信号をD/A変換して、アンテナに送り出す。D/A変換器の入力値と出力電圧は一致しているのが理想であるが、実際には、種々の要因で、入出力オフセットが生じる。

【0003】I信号、Q信号の各々に対応するD/A変換器の間で、オフセット量が異なっている（つまり、2つのD/A変換器の入出力特性が異なっている）と、I、Qの各信号の位相がずれて送信誤差となる。

【0004】よって、D/A変換器の入出力オフセットをキャンセルして、D/A変換器の特性を揃える必要がある。

【0005】D/A変換器の入出力オフセットをキャンセルするためには、まず、オフセット量を測定する必要

があり、このためにコンパレータ（電圧比較器）が用いられる。

【0006】そして、このコンパレータによる比較結果に基づいて、オフセットを補償するための制御信号を得て、D/A変換器のオフセットをキャンセルする。

【0007】このような、D/A変換器の入出力オフセットをキャンセルするための構成は、例えば、特開平11-234130号公報に記載されている。

【0008】

【発明が解決しようとする課題】上述したように、D/A変換器の入出力オフセットをキャンセルするためには、オフセット量をコンパレータで測定する必要がある。正しくオフセット量を測定するためには、当然のことながら、コンパレータ自体のオフセットが、所定の範囲内に収まっている必要がある。

【0009】コンパレータ（電圧比較器）は、差動増幅器を主体として構成される。差動増幅器は、左右の電流能力がバランスするように設計されるが、実際に差動増幅器を構成するトランジスタのサイズのばらつき等に起因して、オフセットが生じるのが通常である。

【0010】本発明者の検討によると、コンパレータのオフセット量は、かなりばらつき、ときには、許容範囲を大きく逸脱する場合もあることがわかった。

【0011】このような許容範囲を超えるオフセットをもつコンパレータを用いて、D/A変換器の入出力オフセットを調整した場合（つまり、負帰還制御によるD/A変換器のオフセットキャンセルを実行した場合）、本来なら、オフセットが数mVに収まるはずのものが、依然として20mV以上のオフセットが残っている場合もあることが確認された。

【0012】このような問題をなくすには、D/A変換器の入出力オフセットのキャンセルに先立ち、そのために使用されるコンパレータのオフセット（左右の電流能力のオフセット）をキャンセルする必要がある。

【0013】しかし、現実には、コンパレータのオフセットキャンセルだけのためだけに、専用回路を設けることは、半導体装置（IC）の占有面積の増大防止の観点、あるいは低消費電力の要請などからみて、困難である。

【0014】本発明はこのような問題に着目してなされたものであり、その目的は、オフセットを自動的に調整するオフセットキャンセル機能をもつ、簡易な構成のコンパレータを実現すること、ならびに、これを用いて、D/A変換器のオフセットを高精度に調整することにある。

【0015】

【課題を解決するための手段】本発明のコンパレータでは、通常動作モードとオフセットキャンセルモードとを切り換えることができるようにする。

【0016】このコンパレータは、差動トランジスタの

負荷としてカレントミラーを使用し、また、カレントミラーのシングルエンド出力を出力段トランジスタで受けてコンパレータ出力を得るようにし、そして、オフセットキャンセルモード時には、そのコンパレータの出力電圧を、差動対をなすトランジスタのうちの、受信信号を受ける側のトランジスタの基板バイアスとして供給する（フィードバックする）ようにする。

【0017】差動対をなすトランジスタ（差動対トランジスタ：入力段トランジスタ）を流れる電流の量にアンバランスがあると、そのオフセット分だけカレントミラーの出力端の電位が変動し、その変動分が、出力段トランジスタで反転され、その結果、差動対をなすトランジスタの基板電位が変化する。基板電位が変化すると、基板バイアス効果により、そのトランジスタのしきい値電圧が変化し、その結果、そのトランジスタを流れる電流量が変化する。

【0018】このようにして、ネガティブフィードバックループが構成され、ほとんど余分な素子を付加することなく、きわめて簡素化された構成でもって、コンパレータのオフセットキャンセルが可能となる。

【0019】ただし、基板バイアスを正方向および負方向に変化させている途中で、寄生ダイオードがオンしてしまうと、そのダイオードの定電圧特性により基板電圧がクランプされてしまい、所望の基板バイアスを与えることができないという事態が生じる。

【0020】よって、これを防止するため、予め、差動対をなすトランジスタのサイズを異ならせて、初期状態において左右の電流能力にオフセットを意図的に与えておくことにより、基板バイアスのダイナミックレンジが、寄生ダイオードがオンしない範囲におさまるようにする。これにより、寄生ダイオードのオンを確実に防止することができる。

【0021】このような、簡素化された構成のオフセットキャンセル機能付きコンパレータを用いて、D/A変換器のオフセットキャンセルを実施すれば、きわめて高精度なオフセット調整をすることが可能となる。

【0022】

【発明の実施の形態】（実施の形態1）図1は、本発明のオフセットキャンセル機能付きコンパレータの構成の一例を示す回路図である。

【0023】図示されるように、差動対をなすトランジスタN1、N2と、カレントミラーを構成する負荷トランジスタP1、P2と、プッシュプル構成の出力段回路を構成する出力段トランジスタP3、N4と、定電流源トランジスタN3と、位相調整回路410（位相調整抵抗Rc、位相調整容量Ccと、オフセット調整時にオン状態となるスイッチS2からなる）と、コンデンサ（容量素子）C1と、スイッチS1、スイッチS3と、を具備する。

【0024】図中、NはN型MOSトランジスタを意味

し、PはP型MOSトランジスタを意味する。VDDは電源電圧(例えば3V)であり、VSSは回路の最低電位(GND)である。

【0025】スイッチS1～S3は、通常動作モードと、オフセット調整モードとを切り換えるために設けられている。

【0026】スイッチS3は、通常動作時にはa端子側に切り換えられ、オフセットキャンセルモードのときにはb端子側に切り換えられる。同様に、スイッチS1は、通常動作時にはa端子側に切り換えられ、オフセ

ットキャンセルモードのときにはb端子側に切り換えられる。

【0027】スイッチS2は、オフセットキャンセルモードにおいてオンし、コンパレータとしての通常動作時にはオフする。オフセットキャンセルのための負帰還制御では、制御信号がリニアに変化する必要がある。よって、オフセットキャンセル時には、位相調整回路410をアクティブとして、コンパレータをオペアンプとして動作させる。

【0028】図1の回路のうち、差動対をなすトランジスタN1、N2の、半導体デバイスの断面構造を図2に示す。

【0029】図示されるように、2重のウエル構造が採用され、P型基板11中にN型ウエル12が形成され、そのN型ウエル中にP型ウエル14、16が形成され、各P型ウエル14、16中に、ソース・ドレイン層(18、20、22、24)が形成されている。

【0030】左側がトランジスタN1であり、右側がトランジスタN2である。トランジスタN1の基板バイアスというときは、図2では、P型ウエル14の電圧を意

$$V_{th} = 2\phi_B + \{2\epsilon_s q N_A (2\phi_B + V_{BS})\}^{1/2} / C_i \dots (1)$$

ここで、 ϕ_B は基板のポテンシャルであり、 ϵ_s はシリコンの誘電率であり、 q は単位電荷であり、 N_A は基板の不純物濃度であり、 V_{BS} は基板とソースの電位差であり、 C_i はゲート容量を示す。

【0037】結局、しきい値電圧 V_{th} は、ソース電位 V_{BS} (すなわち、基板を基準としたソースの電位)に依存し、この値が大きくなるほど、しきい値電圧(反転電圧) V_{th} は増大する。

【0038】ここで、基板電位を固定してソース電位を上昇させることと、ソース電位を固定して基板電位を低下させることは等価であり、どちらも、基板電位からみたソース電位を上昇させることであり、この場合には、上述の(1)式から、しきい値 V_{th} は上昇することになる。

【0039】以下、オフセットの自動調整動作を説明する。

【0040】まず、スイッチS1をb側に接続し、かつ、スイッチS2をオンして位相調整回路410をアクティブとする。

*味する。また、後で説明するように、本来は、トランジスタN1のサイズはトランジスタN2のサイズよりも大きく設定されるのであるが、図2では、図面の複雑化をさけるために、どちらも同じサイズとして描いている。

【0031】以下、図1のコンパレータについての、オフセット調整時の動作を説明する。

【0032】なお、差動対をなすトランジスタ(差動トランジスタ、入力段トランジスタ)のチャネルコンダクタンス(W/L)は、寄生ダイオード10がオンすることを防止するために、例えば、2:1に設定されているのであるが(この点は後述する)、カレントミラー負荷を使用している以上、チャネルコンダクタンスの違いに関係なく、差動回路の左と右の電流量は、理論値としては1:1になる。

【0033】図示されるように、スイッチS1はb端子側に切り換えられ、これにより、差動対トランジスタN1、N2のゲート電圧 V_{IN} 、 V_{IP} は、基準電圧 V_{ref} に固定される。

【0034】上述のように、差動回路の左側と右側の電流量は理論値では同じであるが、実際は、種々の要因により、アンバランスが生じる。本発明によれば、このアンバランスが解消される方向に自動的に調整される。この調整は、MOSトランジスタの基板バイアスを変化させることにより実現される。

【0035】具体的な説明に入る前に、MOSトランジスタのしきい値電圧 V_{th} と、基板バイアスとの関係について説明する。

【0036】NMOSトランジスタのしきい値電圧 V_{th} は、下記(1)式のように表される。

※【0041】以下の説明では、前提条件として、 $V_{IN} = V_{IP}$ 、トランジスタP1とP2が同特性、トランジスタN1とN2が同特性であるものとする。

【0042】本発明の場合、トランジスタN1の基板電位は固定されていない。よって、初期状態では、トランジスタN1の基板電位が決まっておらず、不安定な状態である。

【0043】仮に、トランジスタN1の基板電位がトランジスタN2の基板電位より低いとすると、上述の説明のように、トランジスタN1のしきい値電圧 V_{th} が高くなり、トランジスタN1の電流能力が低くなる。この状態は、オペアンプの反転入力 V_{IN} に非反転入力 V_{IP} より低い電圧を与えた状態と同じである。ここで、図1の回路は、通常オペアンプ出力を、PMOSトランジスタP3によるインバータを介して出力する構成をとるので、通常オペアンプと入力関係が逆になっており、 V_{IN} が反転入力であり、 V_{IP} が非反転入力である点、注意を要する。

※50 【0044】オペアンプの反転入力 V_{IN} に非反転入力

VIPより低い電圧を与えた状態となると、図1のオペアンプ（位相調整回路410をオンさせているので、コンパレータとしてではなく、オペアンプとして機能する）の出力電圧Voutは、上昇する。現在、スイッチS1はb側に切り換えられているから、出力電圧Voutは、そのまま、トランジスタN1の基板電位となる。すなわち、トランジスタN1の基板電位が上昇する。この動作を繰り返し、結局、トランジスタN1の基板電位は、トランジスタN2の基板電位と同じになり安定する。この動作は、VIN=VIPの条件下で、差動回路の左側の系（P1-N1の系）と右側の系（P2-N2の系）が同一特性になるように、トランジスタN1の基板電位が調整されることを意味する。

【0045】しかし、実際には、上述したように、差動回路の左右の系は、トランジスタの製造ばらつきに起因して同特性とはならず、オフセットが生じる。ここでは、トランジスタN1の方が、トランジスタN2よりも電流能力が高くなった場合を想定し、説明する。

【0046】トランジスタN1がトランジスタN2よりも電流能力が高い状態は、反転入力VINに非反転入力VIPより高い電圧を与えた状態と同じである。

【0047】すなわち出力電圧Voutは低くなり、トランジスタN1の基板電位は低下する。トランジスタN1の基板電位がトランジスタN2の基板電位より低いとすると、トランジスタN1のVthが高くなり、トランジスタN1の電流能力が低くなる。

【0048】このような負帰還動作が繰り返されて、結局、トランジスタN1とN2が同一特性となったときに安定する。このことは、VIN=VIPの条件下で、差動回路の左右の系が同一特性になるように、トランジスタN1の基板電位が調整されることを意味する。

【0049】次に、カレントミラーを構成するトランジスタP1がP2よりも電流能力が低くなった場合を想定する。

【0050】トランジスタP1がP2よりも電流能力が低い場合、トランジスタP1のドレイン電圧は、トランジスタP2のドレイン電圧より低くなる。すなわち、トランジスタN1のドレイン電圧が、トランジスタP2のドレイン電圧より低い状態である。この状態は反転入力VINに、非反転入力VIPより高い電圧を与えた状態と同じである。

【0051】すなわち、出力電圧Voutは低くなり、トランジスタN1の基板電位が低くなる。トランジスタN1の基板電位がトランジスタN2の基板電位より低いとすると、トランジスタN1のしきい値Vthが高くなり、トランジスタN1の電流能力が低くなる。

【0052】トランジスタN1の電流能力が低くなると、トランジスタN1のドレイン電圧、すなわちトランジスタP1のドレイン電圧が高くなる。この動作を繰り返し、トランジスタP1とP2、トランジスタN1とN

2がそれぞれ異なった特性をもつが、結局、VIN=VIPの条件下で、差動回路のP1-N1の系とP2-N2の系が同一特性になるようにN1の基板電位が調整されることを意味する。以上の説明では、VIN=VIPを条件としているため、結局、VIN=VIPのとき、オフセット（差動回路の左右の電流オフセット）が0となるように調整される。

【0053】ここで、さらに、VIN=VIP+αという条件を与えた場合について考察する。この場合、VIN=VIP+αの条件下で差動回路のP1-N1の系とP2-N2の系が同一特性になるように、トランジスタN1の基板電位が調整される。これは、VIN=VIP+αのとき、オフセット0となるようにできるということである。

【0054】この状態で、図1のように、強制的にVIN=VIPにした場合を考える。本来なら、VINはVIPよりもαだけ高くなければならないから、VIN=VIPの状態は、α分だけVINが低い状態であることになる。

【0055】反転入力VINが-αならば、出力電圧Voutは+αを発生する。つまり、+α分のオフセットを持たせることができる。

【0056】逆に、VIN-α=VIPという条件を与えた場合において、強制的にVIN=VIPとすると、反転入力VINはαだけ高いことになるから、出力電圧Voutは-αを発生させる。

【0057】本発明では、このような、初期状態から意図的にオフセットを与える手法を積極的に利用する。すなわち、トランジスタN1のサイズをN2のサイズよりも大きく設計し、最初から、電流能力に差を与えておき、これにより、寄生ダイオードのオンを防止して、基板バイアスを正方向、負方向のどちらにも振れるようにする。トランジスタN1のサイズをN2のサイズよりも大きく設計することは、上述の、VIN-α=VIPという条件下で、強制的にVIN=VIPとし、出力電圧Voutに強制的に-αのオフセットを初期状態から与えることを意味する。

【0058】以下、この点について説明する。

【0059】ここで、電流のアンバランスを調整するために、入力段トランジスタN1の基板電位が上昇した場合を考える。

【0060】このとき、基板とソース間に介在する寄生ダイオード10がオンしてしまうと、ソース電位（VK）にダイオード10の順方向電圧（VF）を加えた電圧（VK+VF）でもって、基板電位がクランプされてしまい、それ以上の基板電位の上昇が不可能になってしまう点である。

【0061】これでは、基板バイアス効果を利用したMOSTランジスタの電流調整能力が不完全なものになってしまう。

【0062】このような事態が生じるのを防止するため、本実施の形態では、入力段トランジスタN1とN2のサイズを、例えば、2:1に設定している。

【0063】トランジスタN1の方が電流能力が高いということは、トランジスタN2に比べて低いゲート電圧でもって、同量の電流を流すことができるということであるから、トランジスタN1の入力電圧VINと、他方のトランジスタVIPの入力電圧VIPとの間に、 $V_{IN} - \alpha = V_{IP}$ (α は初期オフセット電圧)という初期条件を与えたことになる。

【0064】この場合には、上述のとおり、出力電圧Voutには、 $-\alpha$ の電圧オフセットが発生する。このオフセット電圧がトランジスタN1の基板バイアスとなるから、初期状態において、トランジスタN1の基板バイアスは、トランジスタN1とN2のサイズを同じとした場合に比べて、 $-\alpha$ 分だけ、絶えず、低くなるように帰還を受けていることになる。

【0065】つまり、NMOSTランジスタN1の基板電位は、当初から低下する方向(マイナスの方向)にのみ帰還が働くことになる。よって、NMOSTランジスタN1の基板電位VA(すなわち、寄生ダイオード10のアノード電位)は、ソース電位(寄生ダイオード10のカソード電位)よりも上昇しないため、寄生ダイオード10は、決してオンしない。

【0066】基板電位(VA)とソース電位(VK)、ならびにクランプ電位の相互の関係を図3に示す。

【0067】図3の左側に示されるのが、初期オフセット(α)を与えない場合の基板バイアスの変化を示す。基板バイアスが上昇すると、クランプ電位VC($V_K + V_F$)でクランプされてしまい、それ以上の変化は不可能となる。

【0068】一方、初期オフセット(α)を与えた場合には、その分だけ、当初から基板電位が、マイナス側にVQ(上述の $-\alpha$ 分の電圧に相当)だけシフトするから、基板バイアスがダイナミックレンジいっぱいには振れたとしても、寄生ダイオード10はオンせず、基板バイアスがクランプされることはない。つまり、寄生ダイオードによるクランプの危険性がないため、常に、適正な負帰還制御による基板バイアスの調整(帰還信号のダイナミックレンジ)が確保されることになる。

【0069】なお、図1のコンデンサC1は、NMOSTランジスタN1の基板バイアスが、ソース電位や、あるいはNMOSTランジスタN2の基板電位に影響を与えるのを防止する直流カットコンデンサとして機能すると共に、オフセット調整が終わって、スイッチS1がa端子側に切り換えられた後も、少なくとも所定の時間は、NMOSTランジスタN1の基板に、調整された電圧を与えつづけるための保持コンデンサとしても機能する。

【0070】図4は、入力段の差動対をなすトランジ

スタをPMOSTランジスタで構成したコンパレータを示す。図1の回路とトランジスタの導電型が逆になっているが、基本的な動作は、同じである。

【0071】(実施の形態2)本実施の形態では、前掲の実施の形態のオフセットキャンセル機能をもつコンパレータを用いて、CDMA送信機に含まれるD/A変換器の入出力オフセットをキャンセルする。

【0072】図5(a)は、D/A変換器のオフセットをキャンセルするための回路構成を示す回路図である。

10 図5(b)は、CDMA送信機の要部の構成を示すブロック図である。

【0073】図5(b)に示すように、CDMA送信機では、拡散変調器300から出力されるI(同相)、Q(直交)2系統の送信データをそれぞれ、D/A変換器500a、500bでアナログ信号に変換し、QPSK変調器600、送信回路700を経て、アンテナ710から信号が送信される。

【0074】このとき、I、Qの2系統の信号それぞれに位相誤差を生じさせないためには、2つのD/A変換器500a、500bの入出力特性が正確に一致している必要がある。

【0075】そこで、図5(a)に示すような負帰還回路を用いて、D/A変換器500a、500bのそれぞれの入出力オフセットをキャンセルし、双方のD/A変換器の入出力特性を一致させる。

【0076】ここで、コンパレータとして、前掲の実施の形態で説明したオフセット調整(補償)機能付きコンパレータ400を使用する。D/A変換器のオフセットをキャンセルするのに先立ち、コンパレータ400の入力段に設けられているスイッチS3をa端子側に切り換えて、左右の電流オフセットをキャンセルする。

【0077】次に、スイッチS3をb側に切り換える。このとき、同時に、図1のスイッチS1もa側に切り換えられ、また、スイッチS2は開放される。

【0078】以後、図1の回路のコンデンサC1に、調整電圧が保持されてコンパレータのオフセットがキャンセルされている期間内において、D/A変換器500a(500b)の入出力オフセットをキャンセルするための動作が実施される。

40 【0079】つまり、D/A変換器の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が、補正值生成回路411から出力され、加算器420において、その補正值が入力信号に与えられる。

【0080】以下、その動作の概要を説明する。

【0081】最初、加算器420に、例えば、1.7Vの直流信号に相当するデータを入力する。このとき、1.7Vのデータ入力と同期して、カウンタ412がアップカウントを開始する。ラッチ回路414は、コンパレータ400の出力信号がローレベルに反転するまでの間、カウンタ412から出力されるカウント値をそのま

ま、加算器420に与える。

【0082】当初、加算器に当初与えられる補正值は“0”であるため、1.7Vの入力は、D/A変換器500a(500b)にそのまま与えられる。

【0083】D/A変換器500a(500b)の変換出力は、ボルテージホロワ401でインピーダンス変換されて、コンパレータ400の反転端子に与えられる。コンパレータ400の非反転端子には基準電圧Vref(ここでは2Vとする)が与えられている。非反転端子の電位の方が高いため、コンパレータ400の出力はハイレベルであり、ゆえに、カウンタ412のカウンタ値は加算器420に与えられ、入力信号に加算される。

【0084】同様な動作が繰り返され、D/A変換器500a(500b)の出力がVref(2V)を超えると、コンパレータ400の出力はローレベルに反転し、これにより、カウンタ412はリセットされ、また、その時点のカウンタ出力がラッチ414に保持される。

【0085】この結果、D/A変換器500a(500b)の入力および出力は、ともに、Vref(=2V)に統一され、オフセットがキャンセルされる。

【0086】(実施の形態3)図6は、本実施の形態のD/A変換器のオフセットをキャンセルする回路の構成を示す回路図である。

【0087】基本的な動作は、図5と同様である。ただし、本実施の形態では、補正值生成回路430において、加減算回路432を使用している。当初、スイッチS4は、b端子側に接続される。

【0088】ここでは、加算器420の入力として、コンパレータ400の基準電圧Vrefと同じ、2Vの直流電圧に相当するデータを与える。加減算回路から出力される補正值の初期値は“0”である。

【0089】コンパレータ400において、基準値Vref(=2V)と入力信号の大きさを判定し、入力信号の方が大きければ、加減算回路432で、一定値(所定のステップ幅に相当する値)の減算を行う。逆に、入力信号の方が小さければ、加減算回路432で、一定値の加算を行う。

【0090】このようにして、D/A変換器500a(500b)の入出力特性に存在するオフセットを補償するべく、ループが回っていくのであるが、入力と出力が一致するようになると(帰還値が基準値に収束した状態となると)、コンパレータ400の出力はハイ/ローの出力を交互に繰り返すようになる。

【0091】この状態となったときに、スイッチS4をa端子側に切り換え、ラッチ434に保持されている補正值を、加算器420に供給する。これにより、D/A変換器500a(500b)の入力および出力は、Vref(=2V)に揃えられる。これにより、入出力オフセットはキャンセルされる。

【0092】図6の構成では、アップカウンタ(あるいは

はダウンカウンタ)を使用している。よって、あらかじめ、入力信号の値とコンパレータの基準値(Vref)との間にオフセットを設け、オフセットをキャンセルする方向を、加算かあるいは減算の一方に決める必要がある。このとき、初期条件として入力信号に与えるオフセットは、実際に発生するD/A変換器のオフセットよりも十分マージンを持って決める必要がある(つまり、十分マージンをとって入力信号の初期値を決めなければならない)という制約があった。これに対し、本実施の形態の構成なら、そのような制約がないので、使い勝手が良い。

【0093】(実施の形態4)図7は本発明の実施の形態4に係る、D/A変換器のオフセットキャンセラーの構成を示す回路図である。

【0094】本実施の形態でも、基本的な動作は前掲の実施の形態と同じである。ただし、本実施の形態では、D/A変換器500a(500b)を差動出力する構成とする。そして、その差動出力を、差動/シングル変換回路510でシングル出力に戻す。

【0095】このような構成とすると、D/A変換出力のダイナミックレンジは2倍に拡大されるため、オフセットを調整する(キャンセルする)精度も2倍となる。この分解能をそのまま利用するために、ラッチも902, 904の2つを設け、また、D/A変換器500a(500b)の前段には、加算器906または減算器908を設け、これらの加算器、減算器は、各々正相側あるいは逆相側のみ演算を行い、もう一方は演算を行わない。このような構成により、D/A変換部のビット精度の2倍の精度で、D/Aコンバータ全体のオフセットキャンセルを行うことができる。

【0096】ただし、分解能が2倍になると、1回あたりのステップ変化が細くなる分、負帰還ループ制御による追従速度が遅くなるため、当初は、スイッチS4, S5をa側に倒して、通常で速度でループを回している、収束に近づいた時点で、スイッチS4, S5をb端子側に切り換え、高分解能の負帰還制御を行わせる。

【0097】以下、具体的に説明する。

【0098】まず、入力にはデジタル信号として所望の値を入力する。その値は後に波形出力する際の基準となる値を入力する。通常は出力したい波形の中心値を入力する。その値は正相側で加算器、逆相側で減算器を通るが、初期段階ではスイッチS4をa側に切り換え、加減算回路900と接続する。

【0099】初期値は所望の値でよいが通常は0に設定する。そのため、加算器906及び減算器908からは、1回目は入力値がそのまま出力される。その出力値はD/A変換器500a(500b)と、差動/シングル変換回路510を通り、出力にはオフセットが発生する。

【0100】その出力値をコンパレータ400で基準電

位(想定値)と比較し、想定値より高いか低いかに判定して出力する。その出力が高いと判断した場合、加減算回路900で、ある一定値分の減算を行う。出力が低いと判断した場合は逆に一定値分の加算を行う。

【0101】加算及び減算を行うタイミングは、一定のタイミングで行う。加減算回路の出力はスイッチS4を介して加算器によりデジタル入力値と加算される。この動作を繰り返し、比較器はオフセットキャンセルされた時点から出力が“H”、“L”を繰り返し加減算回路で加減算を繰り返すほぼ一定値となる。この状態でD/A

コンバータの出力はオフセットがキャンセルされた状態となる。

【0102】しかしこの状態では、まだD/A変換部のビット精度のオフセットキャンセルしかされない。

【0103】そこで、スイッチS4、S5をa側に切り換える。そして、この状態の加減算回路900の出力を、逆相側のラッチ(902、904)に取り込み、スイッチS4をラッチ出力に接続することで、オフセットをキャンセルする値が保持され、減算器908により減算される。正相側はさらにオフセットキャンセル動作を続けD/A変換部のビット精度の2倍のオフセットキャンセル動作を行う。

【0104】この構成を取れば、D/A変換部のビット精度の2倍のオフセットキャンセルが行えると共に、オフセットキャンセル時間を短縮できる。

【0105】(実施の形態5)図8は、本実施の形態にかかる、D/A変換器のオフセットをキャンセルする回路の構成を示す回路図である。

【0106】前掲の実施の形態の回路と、構成はほとんど同じである。ただし、図8では、D/A変換器500a(500b)のポストフィルタとして、スイッチドキャパシタフィルタ(SCF)912、914を使用しているのが特徴である。

【0107】フィルタの特性は、負帰還ループのゲインを決定することになるため、とすると、フィルタの応答が鈍いために、負帰還制御において所望の速度が確保できない場合も想定される。このような場合には、SCFであれば、使用するクロックを高速クロックに切り換えるだけで、簡単にフィルタ特性を変化させることができ、便利である。

【0108】図8の回路では、まず、SCF912、914の動作周波数を高く設定しておく。SCFの特性上、動作周波数を高くすると遅延時間が小さくなるのでD/A変換部から出力の間の遅延時間が小さくなる。そのような状態でD/A変換器のオフセットキャンセル動作を行う。通常はLPFの挿入により、オフセットキャンセル時間が長くなるのであるが、SCFの高速動作により、このような問題は生じない。オフセットキャンセル完了後は、SCFの動作周波数を元に戻し、所望の周波数特性を持つLPFとして使用する。

【0109】以上、説明したD/A変換器のオフセットキャンセルのための動作の、共通の特徴をまとめると、図9のようになる。

【0110】すなわち、まず、コンパレータをオフセット調整モードに切り換え、負帰還制御によりトランジスタの基板バイアスを制御し、コンパレータのオフセットをキャンセルする(ステップ1200)。

【0111】次に、コンパレータを、通常動作モードとする(ステップ1300)。通常動作モードになっても、しばらくの間は、コンデンサに保持される電圧により、基板バイアスは維持され、コンパレータのオフセット無し状態は、その期間中は、維持される。

【0112】次に、コンパレータのオフセット無し状態が維持されている期間内に、送信器におけるI、Qそれぞれの信号に対応したD/A変換器に関して、オフセットキャンセラーをアクティブにし、負帰還制御を用いて、D/A変換器のオフセットをキャンセルする(ステップ1400)。これにより、2つのD/A変換器の特性を合致させる。

【0113】その後、各D/A変換器に関し、オフセットキャンセラーをオフさせ、通常動作モードとし(ステップ1500)、送信データを入力して、D/A変換を行わせる(ステップ1600)。

【0114】以上説明したコンパレータおよびD/A変換器のオフセットをキャンセルするための回路は、すべて、一つの半導体基板に集積されている。そして、ICのテストを行う段階のみならず、ICのユーザーによる実使用時にも、適宜、上述の回路動作によりオフセットをキャンセルする。これにより、位相誤差のない、CDMA送信を行うことができる。

【0115】なお、上述の実施の形態では、オフセットキャンセル機能付きのコンパレータを使用しているが、コンパレータのオフセットが小さいのであれば、図10～図13のように、普通のコンパレータ(オフセットキャンセル機能無し)を使用してもよい。

【0116】

【発明の効果】以上説明したように本発明によれば、オフセットを自動的に調整するオフセットキャンセル機能をもつ、簡易な構成のコンパレータを実現することができる。また、このコンパレータを用いて、D/A変換器のオフセットをキャンセルするための処理を行うことにより、誤差の少ない調整が可能となる。また、オフセットキャンセル時間も短縮でき、さらに、ICの設計のしやすさ(設計の自由度)も向上する。

【図面の簡単な説明】

【図1】本発明のオフセットキャンセル機能付きコンパレータの構成の一例を示す回路図

【図2】図1のコンパレータが集積された半導体集積回路装置における、差動対をなすトランジスタのデバイス断面構造を示す断面図

15

【図3】図1のコンパレータにおいて、基板バイアスがクランプされない理由を説明するための図

【図4】本発明のオフセットキャンセル機能付きコンパレータの構成の他の例を示す回路図

【図5】(a) D/A変換器のオフセットキャンセラーの構成の一例を示す回路図

(b) CDMA送信機の要部の構成を示すブロック図

【図6】D/A変換器のオフセットキャンセラーの構成の他の例を示す回路図

【図7】D/A変換器のオフセットキャンセラーの構成の他の例を示す回路図

【図8】D/A変換器のオフセットキャンセラーの構成の他の例を示す回路図

【図9】D/A変換器のオフセットをキャンセルするた

16

めの基本的な動作手順を示すフロー図

【図10】D/A変換器のオフセットキャンセラーの変形例を示す回路図

【図11】D/A変換器のオフセットキャンセラーの変形例を示す回路図

【図12】D/A変換器のオフセットキャンセラーの変形例を示す回路図

【図13】D/A変換器のオフセットキャンセラーの変形例を示す回路図

【符号の説明】

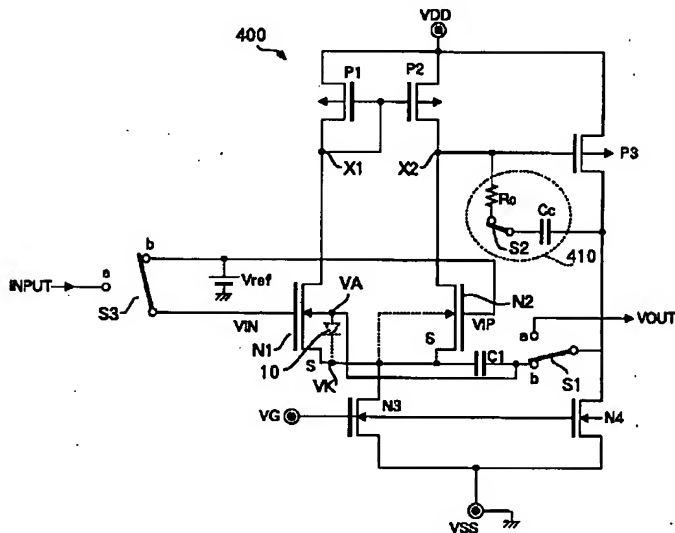
10 寄生ダイオード

400 コンパレータ

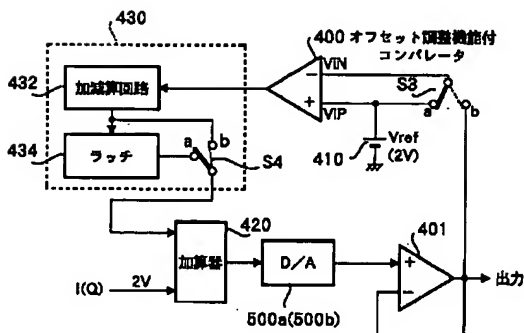
410 位相調整回路

S1~S3 スイッチ

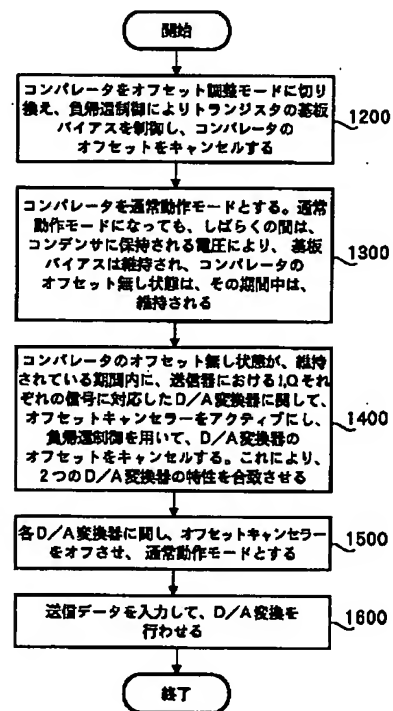
【図1】



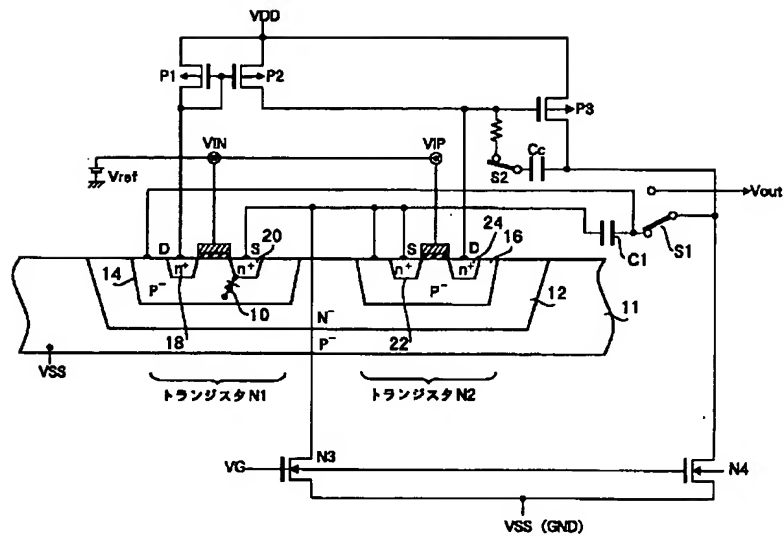
【図6】



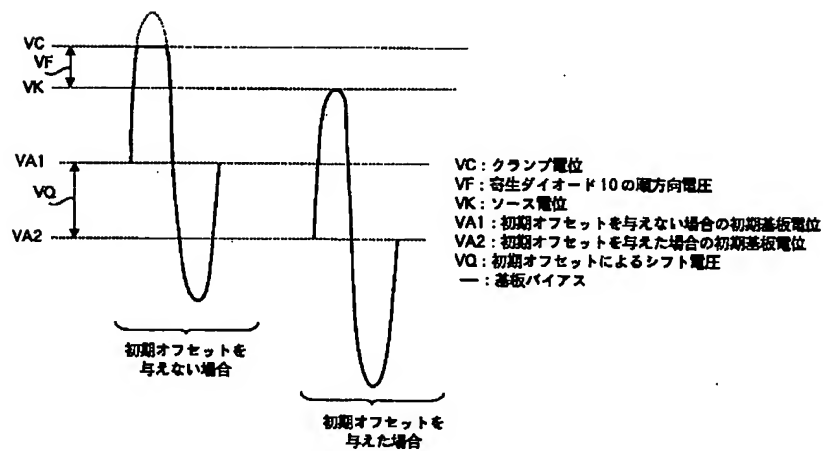
【図9】



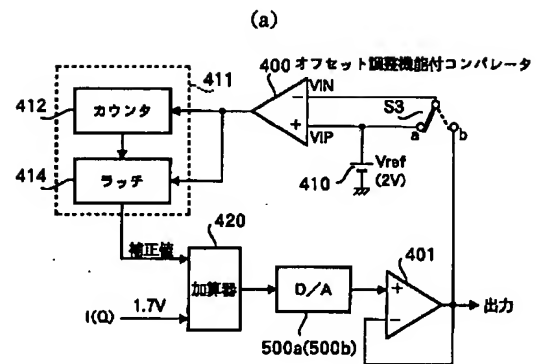
【図2】



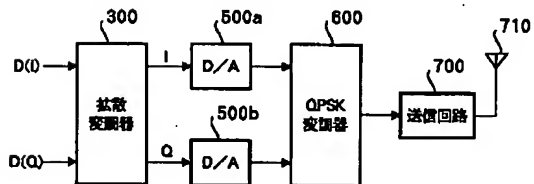
【図3】



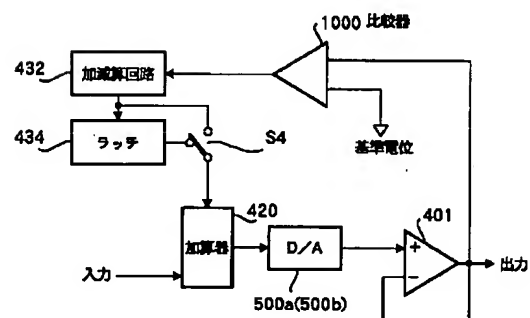
【図5】



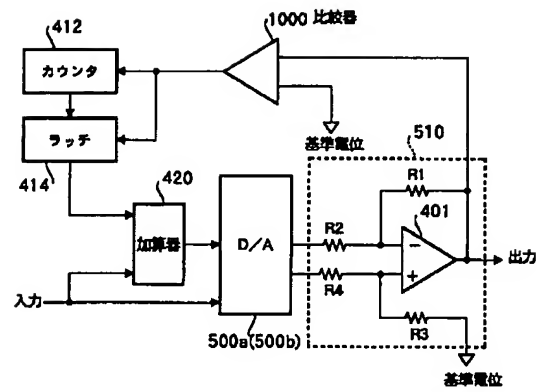
(b)



【図10】



【図 11】



【例 13】

